

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-074941  
(43)Date of publication of application : 14.03.2000

(51)Int.CI. G01R 1/073  
G01R 31/02  
G01R 31/26  
H01L 21/66  
H05K 3/00

(21)Application number : 11-171067 (71)Applicant : ADVANTEST CORP  
(22)Date of filing : 17.06.1999 (72)Inventor : KHOURY THEODORE A  
JONES MARK R  
R CASE LEE

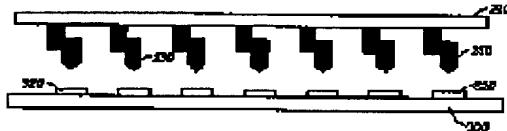
(30)Priority  
Priority number : 98 99614 Priority date : 19.06.1998 Priority country : US

## (54) CONTACTOR AND METHOD FOR FORMING THE SAME

### (57)Abstract:

PROBLEM TO BE SOLVED: To provide a probe contactor that is used for testing semiconductor wafer, LSI package, printed-circuit board, and the like being formed on the flat surface of a substrate by a photolithography technique, and a method for forming a contactor.

SOLUTION: The probe contactor is constituted of a substrate 220 with an interconnect trace that is a conductive passage on the surface, and a contactor 230 that is formed on the substrate 220 by the photolithography manufacturing method. The contactor 230 is provided with a base part that is formed upright for the substrate 220, a horizontal part where one end is formed on the base part, and a contact part that is formed at the other end of the horizontal part. When the contactor 230 is pressed against a part to be tested (a semiconductor wafer 300 to be tested), a contact pressure is generated by the horizontal part of the contactor 230.



## LEGAL STATUS

[Date of request for examination] 13.10.1999  
[Date of sending the examiner's decision of rejection] 20.02.2001  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-74941  
(P2000-74941A)

(43)公開日 平成12年3月14日 (2000.3.14)

| (51)Int.Cl. <sup>7</sup> | 識別記号  | F I     | テマコード*(参考)          |
|--------------------------|-------|---------|---------------------|
| G 0 1 R                  | 1/073 | G 0 1 R | 1/073               |
| 31/02                    |       | 31/02   | F                   |
| 31/26                    |       | 31/26   | J                   |
| H 0 1 L                  | 21/66 | H 0 1 L | 21/66               |
| H 0 5 K                  | 3/00  | H 0 5 K | 3/00                |
|                          |       | 審査請求 有  | 請求項の数16 O L (全 9 頁) |

(21)出願番号 特願平11-171067  
(22)出願日 平成11年6月17日(1999.6.17)  
(31)優先権主張番号 09/099614  
(32)優先日 平成10年6月19日(1998.6.19)  
(33)優先権主張国 米国(US)

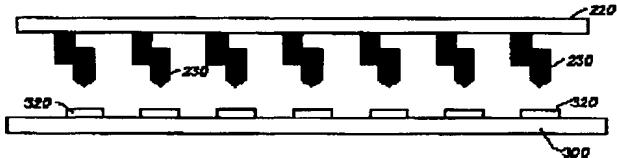
(71)出願人 390005175  
株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号  
(72)発明者 テオドール・A・コーリー  
アメリカ合衆国60625イリノイ州シカゴ市  
W. カタルバ、#1、2454  
(72)発明者 マーク・R・ジョーンズ  
アメリカ合衆国60060イリノイ州ムンデラ  
イン、オーク通075  
(72)発明者 R・ケイス リー  
アメリカ合衆国60010イリノイ州バーリン  
トン、N. ハイリッジ街23193

(54)【発明の名称】 コンタクタ及びコンタクタを形成する方法

(57)【要約】

【課題】基板の平面上にフォトリソグラフィ技術により形成した、半導体ウエハ、LSIパッケージ、プリント回路基板等をテストするために用いるプロープコンタクタ及びコンタクタを形成する方法を提供する。

【解決手段】プロープコンタクタは表面上に電導通路であるインターフェクトトレイスを有する基板と、フォトリソグラフィ製法によりその基板上に形成されたコンタクタで構成される。そのコンタクタはその基板に対して直立に形成されたベース部と、一端がベース部上に形成される水平部と、その水平部の他端に形成された接触部とを有する。そのコンタクタが被テスト部品に押しつけられるとき、コンタクタの水平部により接触圧力を生じる。



## 【特許請求の範囲】

【請求項1】 半導体ウエハ、LSIパッケージ、プリント回路基板（被テスト部品）をテストするために用いるコンタクタにおいて、表面上に電導通路であるインターフィコネクトトレイスを有する誘電体基板と、フォトリソグラフィ製法によりその誘電体基板上に形成されたコンタクタであり、そのコンタクタはその誘電体基板に対して直立に形成されたベース部と、一端がベース部上に形成される水平部と、その水平部の他端に形成された接触部とにより構成され、そのコンタクタが被テスト部品に押しつけられるとき、コンタクタの水平部により接触圧力を生じ、上記を具備したことを特徴とするコンタクタ。

【請求項2】 上記誘電体基板に設けられ、上記インターフィコネクトトレイスとコンタクタに電気的に接続された、外部接続部をさらに有する請求項1に記載のコンタクタ。

【請求項3】 上記誘電体基板は所定の誘電率と透磁率を有する、請求項1に記載のコンタクタ。

【請求項4】 上記インターフィコネクトトレイスは金属により構成され、デポジション、蒸着、スパッタリング、あるいはメッキのプロセスにより形成される、請求項1に記載のコンタクタ。

【請求項5】 上記コンタクタは上記インターフィコネクトトレイス上に直接的に形成されて、その間の電気的接続を形成する、請求項1に記載のコンタクタ。

【請求項6】 上記コンタクタは金属により構成され、上記インターフィコネクトトレイス上にフォトマスクを形成した後に、デポジションにより形成される、請求項1に記載のコンタクタ。

【請求項7】 上記コンタクタは、上記インターフィコネクトトレイス上に、少なくとも3回のフォトリソグラフィ行程を繰り返して形成し、その各フォトリソグラフィ行程は、フォトレジストコーティング、マスキング、露光、フォトレジスト除去、および導電材料のデポジションの各ステップを有している、請求項1に記載のコンタクタ。

【請求項8】 上記コンタクタの接触部の材料は、コンタクタを形成するために使用している材料と異なる材料を有する、請求項1に記載のコンタクタ。

【請求項9】 半導体ウエハ、LSIパッケージ、プリント回路基板（被テスト部品）をテストするために用いるコンタクタにおいて、

表面上に電導通路であるインターフィコネクトトレイスを有するシリコン基板と、フォトリソグラフィ製法によりそのシリコン基板上に形成されたコンタクタであり、そのコンタクタはそのシリコン基板に対して直立に形成されたベース部と、一端がベース部上に形成される水平部と、その水平部の他端に

形成された接触部とにより構成され、そのコンタクタが被テスト部品に押しつけられるとき、コンタクタの水平部により接触圧力を生じ、上記を具備したことを特徴とするコンタクタ。

【請求項10】 上記シリコン上に基板に設けられ、上記インターフィコネクトトレイスとコンタクタに電気的に接続された、外部接続部をさらに有する、請求項9に記載のコンタクタ。

【請求項11】 上記インターフィコネクトトレイスは金属により構成され、デポジション、蒸着、スパッタリング、あるいはメッキのプロセスにより形成される、請求項9に記載のコンタクタ。

【請求項12】 上記コンタクタは上記インターフィコネクトトレイス上に直接的に形成されて、その間の電気的接続を形成する、請求項9に記載のコンタクタ。

【請求項13】 上記コンタクタは金属により構成され、上記インターフィコネクトトレイス上にフォトマスクを形成した後に、デポジションにより形成される、請求項9に記載のコンタクタ。

【請求項14】 上記コンタクタは、上記インターフィコネクトトレイス上に、少なくとも3回のフォトリソグラフィ行程を繰り返して形成し、その各フォトリソグラフィ行程は、フォトレジストコーティング、マスキング、露光、フォトレジスト除去、および導電材料のデポジションの各ステップを有している、請求項9に記載のコンタクタ。

【請求項15】 上記コンタクタの接触部の材料は、コンタクタを形成するために使用している材料と異なる材料を有する、請求項9に記載のコンタクタ。

【請求項16】 半導体ウエハ、LSIパッケージ、プリント回路基板（被テスト部品）をテストするために用いるコンタクタを形成する方法において、誘電体材料あるいは半導体材料により形成された基板を備えるステップと、

デポジション（堆積）又はプレーティング（メッキ）によって、その基板上にインターフィコネクトトレイスを形成するステップと、

フォトリソグラフィ製法を適用してその基板上にコンタクタを形成するステップを有し、そのコンタクタはそのインターフィコネクトトレイス上に直立に形成されたベース部と、一端がベース部上に形成された水平部と、その水平部の他端に形成された接触部とを有し、それぞれのフォトリソグラフィ製法は、フォトレジストコーティング、マスキング、露光、ディベロッピング、フォトレジスト除去、電導材料デポジションのプロセスを有している、

上記を具備したことを特徴とする、コンタクタを形成する方法。

## 【発明の詳細な説明】

【0001】

**【発明の属する技術分野】**この発明は、接触用パッドや電子回路や電子部品のリードのような接触ターゲットとの電気接觸を確立するためのプローブコンタクタ及びコンタクタを形成する方法に関する。とりわけ、この発明は、半導体ウエハ、半導体チップ、半導体パッケージ部品、プリント回路基板等をテストするためのプローブカードにおいて使用する、周波数帯域、集積度や品質の向上したプローブコンタクタ及びコンタクタを形成する方法に関する。

#### 【0002】

**【従来の技術】**LSIやVLSI回路のような、高密度で高速度の電子部品をテストする場合には、高性能なプローブコンタクタ、あるいはテストコンタクタを使用しなくてはならない。本発明のプローブコンタクタは、半導体ウエハや半導体ダイのテスト、あるいはバーンインといった応用に限定されるものではなく、半導体パッケージ部品やプリント回路基板等のテストやバーンインへの応用も含んでいる。しかし、説明を容易にするために、以下における本発明の開示では、主に半導体ウエハテストへの応用を参考して説明する。

**【0003】**被テスト半導体部品が半導体ウエハの形態である場合、ICテストのような半導体テストシステムは、一般に自動ウエハプローバーのような基板用ハンドラーに接続して用いられる。そのような構成例を、第1図に示す。この図では、半導体テストシステムは、通常別のハウジングであるテストヘッドを有しており、そのテストヘッドはケーブル束でテストシステムに接続されている。テストヘッドと基板用ハンドラーは、互いに機械的に接続されており、試験される半導体ウエハは、基板用ハンドラーによって、テストヘッド上のテスト位置に自動的に供給される。

**【0004】**テストヘッド上で、被テスト半導体ウエハは、半導体テストシステムが発生するテスト信号を受ける。被テスト半導体ウエハから、その結果として発生される出力信号は、半導体テストシステムに送信され、そこで、その出力信号は期待値と比較され、被試験半導体ウエハ上のIC回路が、正常に機能しているかどうかが検知される。

**【0005】**テストヘッドと基板用ハンドラー間は、インターフェイス部140を介して接続されている。インターフェイス部140は、テストヘッドの電気的回路配置に独自な電気回路接続を有するパフォーマンスボード120と、同軸ケーブルと、ポゴピンと、コネクタとで構成されている。テストヘッド100内には、テストチャネルに対応する、多数のプリント回路基板150が設けられている。これらのプリント回路基板150には、パフォーマンスボード120上の対応する接觸端子121を受け取るために、それぞれコネクタ160を有している。基板用ハンドラー400に対する接続位置を正確に検知するために、フロッギング130が、パ

ーフォーマンスボード120上に備え付けられている。フロッギング130は、ZIFコネクタやポゴピンのような、接続ピン141を多数有しており、それら接続ピン141は、同軸ケーブル124を介して、接続端子121に接続されている。

**【0006】**第2図は、半導体ウエハテスト時の、基板用ハンドラー(ウエハプローバ)400や、テストヘッド100、およびインターフェイス部140の構造をより詳細に示している。第2図に示してあるように、テストヘッド100は、基板用ハンドラー400上に設置し、インターフェイス部140を介して、基板用ハンドラー400に、機械的かつ電気的に接続される。基板用ハンドラー400では、被試験半導体ウエハ300をチャック180上に搭載する。プローブカード170は、被試験半導体ウエハ300の上部に設けられている。プローブカード170は、テスト時に回路端子、すなわち被試験半導体ウエハ300上のIC回路の各接觸ターゲットと接觸するため、多数のプローブコンタクタ(例えばカンチレバーやニードル)190を有している。

**【0007】**プローブカード170の電気端子または接觸用リセプタクルは、フロッギング130に設置した接続ピン141に、電気的に接続される。これら接続ピン141はさらに、マザーボード120の接觸端子121に接続され、その接觸端子121は、それぞれテストヘッド100のプリント回路基板150に、同軸ケーブル124を介して接続される。加えて、プリント回路基板150は、数百の内部ケーブルを有するケーブル束110を介して、半導体テストシステムに接続されている。

**【0008】**このような構成において、被試験半導体ウエハにテスト信号を送り、結果としての出力信号を受けるために、プローブ190はチャック180上にある半導体ウエハ300の表面に接觸する。被試験半導体ウエハ300が、正常に機能しているかどうかを検知するために、半導体ウエハ300からの出力信号を、半導体テストシステムが発生する期待値と比較する。

**【0009】**第3図は、第2図のプローブカード170の底面図である。この例では、プローブカード170には、ニードルまたはカンチレバーと呼ばれるプローブ190を上部に複数設置した、エポキシリングが設けられている。第2図において、半導体ウエハ300を搭載したチャック180が上方に移動すると、カンチレバー190の先端は、半導体ウエハ300のパッドや接觸用バンプ(突起)に接觸する。カンチレバー190の他端は、電線194に接続され、更にその電線194は、プローブカード170に形成された伝送ラインに接続されている。伝送ラインは、第2図のポゴピン141に接觸するための、電極197に接続されている。

**【0010】**一般に、プローブカード170は、アース層、電源層、複数の信号送信ライン層により構成され

る、ポリイミドの多層基板で形成されている。周知のように、ポリイミドの例えは誘電率、プローブカード170内の信号のインダクタンスとキャパシタンスのような様々なパラメーターの平衡を保つようにすることで、例えば50オームのような、特性インピーダンスが得られるように各伝送ラインは設計される。従って、これら信号伝送ラインはインピーダンス整合しており、被試験ウエハ300に対する高周波数帯域での動作が実現でき、定常状態では定常電流を供給し、被試験部品の出力切り替え状態では、高電流ピークを供給することができる。またノイズ除去の為に、プローブカード170には、電源層とグラウンド層間に、キャパシタ193と195が設けられている。

【0011】従来技術によるプローブカードにおける、帯域の限界を説明するために、プローブカード170の等価回路を第4図に示す。第4図(A)と第4図(B)に示すように、プローブカード170の信号伝送ラインは、電極197から、ストリップライン(インピーダンスマッチ済み)196、電線194、そしてニードル(カンチレバー)190に達している。第4図(C)に示すように、電線194とニードル190はインピーダンスマッチしていないので、高周波数帯域ではこれらの部分は、インダクターLとして働く。電線194とニードル190の長さは、全体として20-30mm程度であるから、被テスト部品の高周波数帯域のテストにおいて、大幅に周波数が制限される。

【0012】プローブカード170の周波数帯域を制限する他の要素は、第4図(D)と第4図(E)に示すように、電源用ニードルとグラウンド用ニードルにある。テスト時に電源ラインが充分な電流を部品に供給できるのであれば、部品テストにおける動作帯域の制限は深刻ではない。しかし、電源を供給するために直列で接続する電線194とニードル190(第4図(D))、そして、電源と信号をグラウンド接続するために直列で接続する電線194とニードル190(第4図(E))が、等価的にインダクターとなるため、高速の電流動作は大幅に制限される。

【0013】また、電源ラインへのノイズやサージパルスを除去することにより、テスト時の被テスト部品の適切な機能が確保できるように、キャパシタ193と195が、電源ラインとグラウンドラインの間に設置されている。キャパシタ193は、例えば10マイクロファラッドのような比較的大きな値をとり、必要に応じてスイッチを用いて分離できる。キャパシタ195は、例えば0.01マイクロファラッドのような比較的小さな値をとり、DUTの近くに固定的に設けられている。これらのキャパシタは、電源ラインに対する高周波数除去(デカップリング)として機能する。

【0014】従って、もっとも広く使用されている上記のプローブコンタクタは、その周波数帯域が200MHz

程度に制限されてしまい、最近の半導体部品のテストには不十分となっている。半導体試験の業界では、少なくとも現在では1GHz以上の動作帯域となっているICテスターの周波数帯域機能に等しい周波数帯域が、近い将来のプローブコンタクタに必要になるであろうと見なされている。また、業界では、テスト処理量を向上させるために、並列に(並列テスト)例えば32個以上のような、多数の半導体部品、とりわけメモリーのような部品を取り扱えるプローブカードが望まれている。

【0015】新型のプローブカードとして、メンブレンコンタクタを有するタイプがある。これはインピーダンスのマッチした送信ラインをコンタクタの先端にまで構成することが可能ため、十分な高帯域を持つものと期待される。しかし、メンブレンコンタクタには、温度の変化により、接触性能が充分に得られないほど変形してしまうという難点がある。また、メンブレンコンタクタは、充分なバネ力をコンタクタに供給することが難しいため、メンブレン上に形成できるコンタクタの数が制限されてしまうという難点がある。最後に、メンブレンコンタクタの固有の問題として、コンタクタ均一性の欠如という難点がある。例えばコンタクト表面のある1点から他の1点のあいだに偏差があり(とりわけ表面積が大きいほど顕著)、偏差は個々のコンタクタから予期できない。従って、多数の部品を並列にテストする場合は、メンブレンコンタクタは不適当である。

【0016】従来技術では、第3図にあるようなプローブカードは手作業で製造されており、このため品質にはらつきがある。このような品質のばらつきには、サイズ、周波数帯域、接触圧力、抵抗などのばらつきを含んでいる。従来のプローブコンタクタにおいて、接触性能を不確実にする他の要因として、プローブコンタクタとテスト下にある半導体ウエハの温度膨張係数が異なることがあげられる。従って、温度変化により相互間の接触位置が異なってしまい、接触圧力、接触抵抗、周波数帯域に悪影響をあたえる。

#### 【0017】

【発明が解決しようとする課題】したがって、本発明の目的は、半導体ウエハ、LSIパッケージその他をテストするために用いる、次世代半導体技術のテストの要件を満足するような、高周波数帯域を有した、プローブコンタクタ及びコンタクタを形成する方法を提供することにある。

【0018】また、本発明の他の目的は、半導体ウエハ、LSIパッケージその他をテストするために用いる、多数の半導体を同時に並列にテストするのに適したプローブコンタクタを提供することにある。

【0019】また、本発明のさらに他の目的は、半導体ウエハ、LSIパッケージその他をテストするために用いる、手作業による組立や取り扱いを要せず、標準的な半導体生産プロセスをもちいることにより、均一の品質

を有するプローブコンタクタを提供することにある。

【0020】また、本発明のさらに他の目的は、半導体ウエハ、LSIパッケージその他をテストするために用いる、フォトリソグラフィー製法で製造するプローブコンタクタを提供することにある。

【0021】また、本発明のさらに他の目的は、半導体ウエハ、LSIパッケージその他をテストするために用いる、プローブカード上に設置して、テスト下にある半導体ウエハの温度膨張係数を補正する機能のあるプローブコンタクタを提供することにある。

【0022】

【課題を解決するための手段】本発明では、半導体ウエハ、LSIパッケージ、プリント回路基板（被テスト部品）をテストするために用いるプローブコンタクタは、半導体製造技術で確立されているフォトリソグラフィ技術によって、基板の表面上に形成する。

【0023】本発明のプローブコンタクタは、表面上に電導通路であるインターフェクトトレイスを有する基板と、フォトリソグラフィ製法によりその基板上に形成されたコンタクタで構成され、そのコンタクタはその基板に対して直立に形成されたベース部と、一端がベース部上に形成される水平部と、その水平部の他端に形成された接触部とを有し、そのプローブコンタクタが被テスト部品に押しつけられるとき、コンタクタの水平部により接触圧力を生じるものである。

【0024】本発明のもう一つの態様は、プローブコンタクタの製造プロセスである。プローブコンタクタの製造プロセスは、デポジション（堆積）又はプレーティング（メッキ）によって、シリコン基板上にインターフェクトトレイスを形成するステップと、フォトリソグラフィ製法を適用してその基板上にコンタクタを形成するステップであり、そのコンタクタはそのインターフェクトトレイス上に直立に形成されたベース部と、一端がベース部上に形成された水平部と、その水平部の他端に形成された接触部とを有し、それぞれのフォトリソグラフィ処理プロセスは、フォトレジストコーティング、マスキング、露光、ディベロッピング、フォトレジストストリッピング、電導材料デポジション（堆積）の処理プロセスを含んでいる。

【0025】本発明によれば、本コンタクタは、次世代半導体技術の要求に対応できる高周波帯域を有している。半導体製造処理で使用している現代の最小化技術を使ってプローブコンタクタを形成するので、多数のコンタクタを、多数の半導体を同時にテストするのに適した小区域に構成することができる。

【0026】本発明においては、手作業を用いることなく、マイクロファブリケイション技術を用いて、一度に多数のプローブコンタクタを製造できるので、安定した品質、高信頼度、接触性能の長寿命を達成できる。また、本発明のプローブコンタクタは、被テスト部品と同

じ材料を用いた基板に形成できるので、被テスト部品の温度膨張係数を補正することができ、位置エラーを防止できる。

【0027】

【発明の実施の形態】本発明のコンタクタを、第5図－第11図を参照して説明する。第5図は、シリコン基板220上に形成された本発明のコンタクタ230の一例を示す。全てのコンタクタ230は、シリコン基板220上に、同一のフォトリソグラフィ製法を用いて同時に製造される。被試験半導体ウエハ300が上昇するととき、コンタクタ230は、半導体ウエハ300上の対応する接触ターゲット（電極パッド）320に接触する。パッド320間のピッチが50マイクロかそれ以下の微少さでも、コンタクタ230は半導体ウエハ300を製造するのと同じ半導体製造技術で製造するので、コンタクタ230を同ピッチで構成することは容易である。

【0028】シリコン基板220上のコンタクタ230は、第3図に示すようにプローブカード上に直接搭載することも可能だし、リードを有する従来のICパッケージのように、パッケージ内にコンタクタを形成し、そのパッケージをプローブカードに搭載するようにすることも可能である。コンタクタ230を微少なサイズで製造できるため、本発明のコンタクタを搭載するプローブカードの周波数帯域は、容易に2GHzあるいはそれ以上にまで上昇できる。また微少なサイズが可能なため、プローブカード上のコンタクタの数は、例えば2000等にまで増加でき、これにより並列で同時に32個以上のメモリ部品をテストすることができる。

【0029】また、本発明のコンタクタ230は、シリコン基板220の表面に形成するので、環境変化例えばシリコン基板の温度膨張係数のような変化は、被テスト半導体ウエハの温度膨張係数の変化と同様である。従って、テスト時にはコンタクタ230と接触パッド320間の位置を正確に保つことができる。

【0030】第6図(A)－第6図(C)は、シリコン基板220上のコンタクタ230のより詳細な図を示す。プローブカード又は上述したICパッケージとの接続を確立するための、3種の基本的な電気信号通路の形式例を、第6図(A)－第6図(C)に示している。第6図(A)は、基板の上部で電気接続を確立する例である。第6図(B)は、基板の底部で電気接続を確立する例であり、第6図(C)は、基板の端部で電気接続を確立する例である。現存するICパッケージデザインやプローブカードデザインのほとんどは、第6図(A)－第6図(C)の少なくとも一つの接続形式を取り入れることができる。

【0031】第6図(A)の例は、符号aでも示されているインターフェクトトレイス232と、インターフェクトパッド233を、基板220上有している。インターフェクトトレイス232は、コンタクタ230から

インターフェクトパッド233への、電気通路を形成している。第6図(B)の例は、インターフェクトトレイス232と、基板220を貫通するインターフェクトパッド235と、基板220の底部にあるインターフェクトパッド236を有している。第6図(C)の例では、インターフェクトトレイス232は、基板220の端まで達している。上記のそれぞれの例で、インターフェクトトレイス232は、プローブカードやICパッケージに適合するように、コンタクタ230の小ピッチをより大きなピッチに間隔を広げる(ファンアウト)役割も果たしている。

【0032】第6図(A)ー第6図(C)に示すように、コンタクタ230は縦部bと、横部c、そして先端部eを有する。コンタクタ230の先端部eは先鋒であるのが好ましく、そうすることにより接触ターゲット320に押しつけられた際に、そのターゲット上の酸化金属層に、擦り込む(スクラビング)効果が得られる。例えば、ウエハ300上のターゲット320には、表面に酸化アルミニウム膜があり、低接触抵抗で電気接觸を確立するには、擦り込み効果(スクラビングエフェクト)が必要である。横部cのバネ力により、接触パッド320に対して適度な接触圧力を与える。横部cのバネ力による弾力はまた、コンタクタ230、シリコン基板220、接触パッド320、半導体ウエハ300の平面のばらつきやサイズの違いなどを補償する機能を果たす。

【0033】コンタクタ230の材料の例として、ニッケル、アルミニウム、銅がある。先端部eは、ニッケルパラジウムやロジウム、ニッケル金、イリジウム、あるいは他のデポジション可能な材料により、プレーティング(メッキ)により形成する。プローブテストの技術に用いる場合の、コンタクタのサイズの例としては、全体の高さ100ー400ミクロン(最適200ミクロン)、横の長さ50ー400ミクロン(最適150ー200ミクロン)、コンタクトターゲット320間のピッチ50umでは、厚さ30ー60ミクロンである。

【0034】第7図(A)ー第11図(R)は、フォトリソグラフィー技術を用いて本発明のコンタクタを製造する製造プロセスを示している。第7図(A)では、例えば銅による薄金属層237がシリコン基板220に備えられる。金属層237は、電気メッキ処理において、第6図のインターフェクトトレイス232とコンタクタ230を形成するときの、電気伝導手段を得るためにものである。もしインターフェクトトレイス232やコンタクタ230が、例えばスパタリングのような他のデポジション法で形成する場合は、薄金属層237は無くても良い。

【0035】第7図(B)に示すように、フォトレジスト層242はトレイス層232上に形成されており、フォトレジスト層242の上には、マスク245が紫外線を浴びるように配置される。ポジティブレジストを使用

した場合には、露光後にはマスク245の不透明部に相当するレジストは硬化(キュア)する。フォトレジストの受光した部分は除去され、第7図(C)のフォトマスク層242のようになる。第7図(D)に示すように、例えば銅、ニッケル、アルミニウムあるいは他の金属のようなコンタクタの材料を、フォトマスク242の窓(レジスト除去部分)に堆積(デポジション)させることにより、インターフェクトトレイス232を形成する。第7図(D)のインターフェクトトレイス232は、第6図(A)ー第6図(C)のa部に相当する。

【0036】第8図(E)の処理では、薄金属層238を、例えばメッキ処理で、インターフェクト232上に形成する。薄金属層238の目的の一つは、インターフェクトトレイス232のエッチングを防ぐことである。第8図(F)では、第7図(B)と第7図(C)のフォトリソグラフィ処理と同様にして、フォトマスク242上にフォトマスク層243を形成する。第8図(G)では、第6図のコンタクタ230の縦部bを形成するために、例えばニッケル、アルミニウム、銅のようなコンタクタの材料をフォトマスク243の窓(レジスト除去部)に堆積(デポジション)させる。デポジションの方法には、真空蒸着、カソードスパッタリング、気相デポジション、あるいはメッキのような様々な技術を用いることができる。第8図(H)のグラインディング(平面化)処理により、第8図(G)の余剰メッキ部分を除去する。

【0037】上述の処理を繰り返して他のコンタクタ部分を形成する。第9図(I)では、第7図(B)と第7図(C)の製法を用いて、コンタクタ230の横部cを形成するために、フォトマスク層243上に、フォトマスク層244を形成する。デポジションのプロセスを用いて、第9図(J)に示す横部cを形成し、その余剰メッキ部分を除去するために、第9図(K)にあるように平面化処理をする。第9図(L)に示すように、コンタクタ230の縦部dを形成するために、フォトマスク層244と横部cの上に、フォトマスク層246を供給する。第7図(B)と第7図(C)と同様のフォトリソグラフィ処理を施して、フォトマスク246を形成する。デポジション処理の後に、第10図(M)に示すフォトマスク層に第6図の縦部dを形成し、その余剰メッキ部分を除去するために、第10図(N)にあるように平面化処理をする。第10図(O)では、第10図(P)に示すコンタクタ230の先端eを形成するための、フォトマスク層248を示している。

【0038】第11図(Q)のプロセスでは、特殊な溶媒を用いて、フォトマスク242、243、244、246、248を除去する。大部分の金属層237を除去するために、第11図(R)に示すエッチング処理を行う。上述した以上のプロセスにより、フォトリソグラフィ技術を用いて、コンタクタ230とインターフェクト

トレイス232がシリコン基板220上に形成される。【0039】好ましい実施例しか明確に示していないが、添付のクレームの範囲を離れることなく様々な形態、変形が可能である。

#### 【0040】

【発明の効果】本発明によれば、プローブコンタクタは、次世代半導体の試験技術の要求に対応できる高周波帯域を実現している。半導体製造プロセスで使用している、現代の微細加工技術を活用してプローブコンタクタを形成するので、多数のコンタクタを、微少な間隔で配列することができ、このため多数の半導体部品を同時にテストするのに有効である。

【0041】手作業を用いることなく、マイクロファブリケイション技術を用いて、一度に多数のプローブコンタクタを製造できるので、接触動作の安定した品質、高信頼性、長寿命を達成できる。また、本発明のプローブコンタクタは、被テスト部品と同じ材料を用いた基板に形成できるので、被テスト部品の温度膨張係数を補償することができ、その結果位置誤差を防止できる。

#### 【図面の簡単な説明】

【図1】テストヘッドを有する半導体テストシステムと、基板用ハンドラとの関係を示した概要図である。

【図2】半導体テストシステムのテストヘッドを、基板用ハンドラに接続する際の、構成の詳細な例を示した概要図である。

#### 【図3】カンチレバーをプローブコンタクタとして、複

数個搭載するための、エポキシリングを有するプローブカードの例を示した底面図である。

【図4】第3図のプローブカードの等価回路を示した回路図である。

【図5】フォトリソグラフィー製法を用いて製造した、本発明のプローブコンタクタを示した概要図である。

【図6】シリコン基板上に形成された本発明のプローブコンタクタの構成例を示した概要図である。

【図7】本発明のプローブコンタクタの製造プロセス(A)～(D)を示した概要図である。

【図8】本発明のプローブコンタクタの製造プロセス(E)～(H)を示した概要図である。

【図9】本発明のプローブコンタクタの製造プロセス(I)～(L)を示した概要図である。

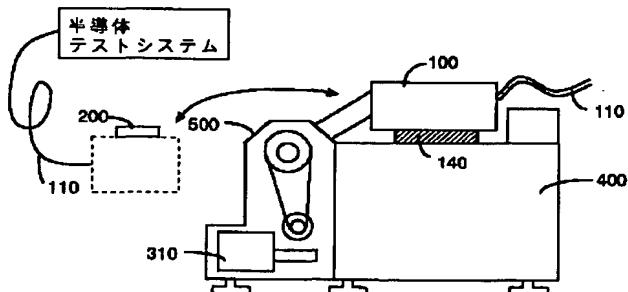
【図10】本発明のプローブコンタクタの製造プロセス(M)～(P)を示した概要図である。

【図11】本発明のプローブコンタクタの製造プロセス(Q)～(R)を示した概要図である。

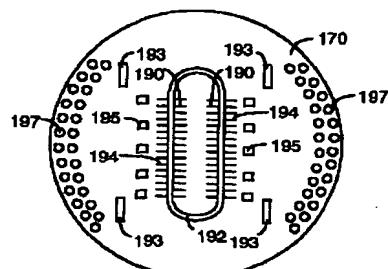
#### 【符号の説明】

|     |              |
|-----|--------------|
| 220 | シリコン基板       |
| 230 | コンタクタ        |
| 232 | インターフェクトトレイス |
| 233 | インターフェクトパッド  |
| 300 | 被試験半導体ウェハ    |
| 320 | 電極パッド        |

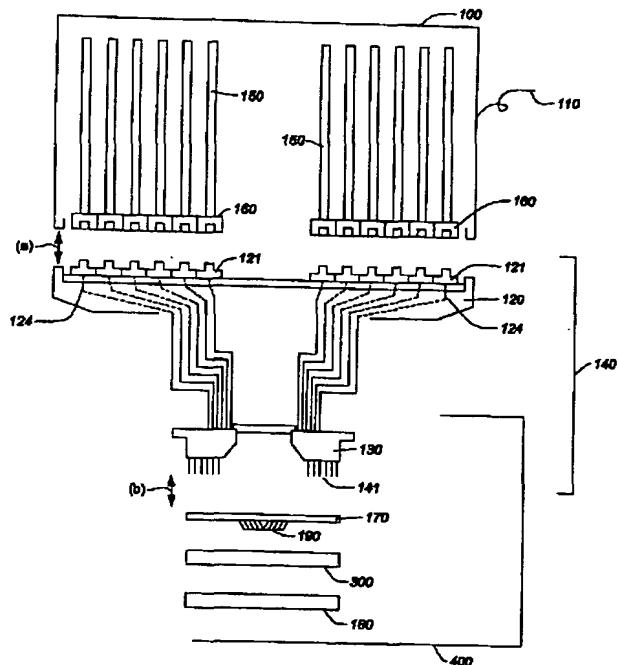
【図1】



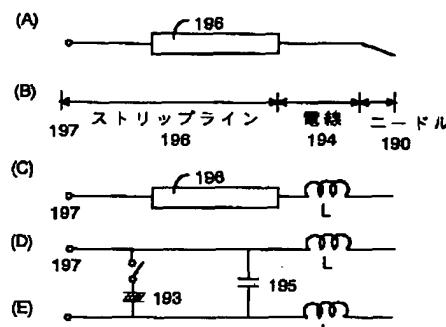
【図3】



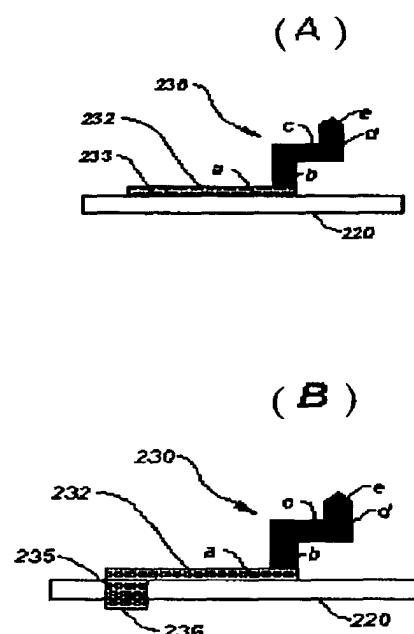
【図2】



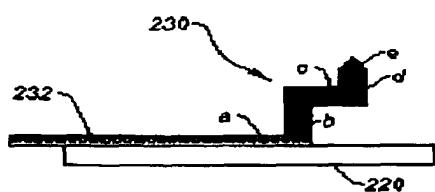
【図4】



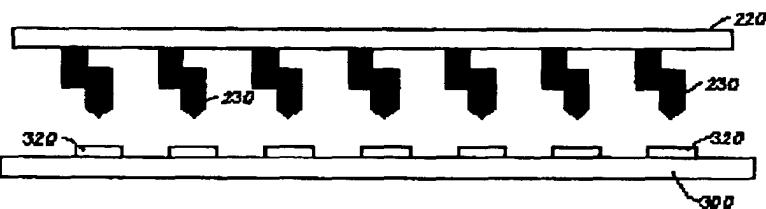
【図6】



(C)

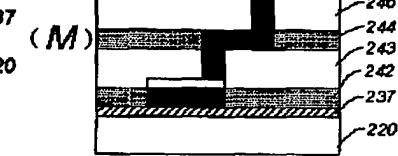


【図5】

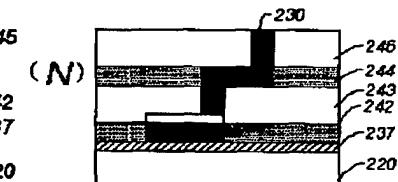
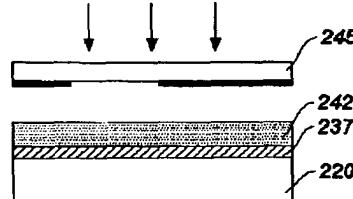


【図7】

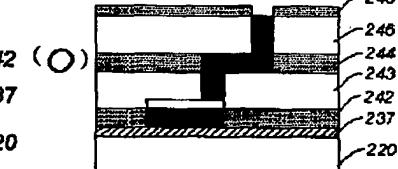
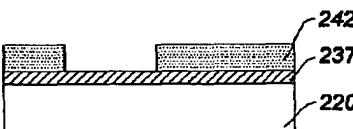
(A)



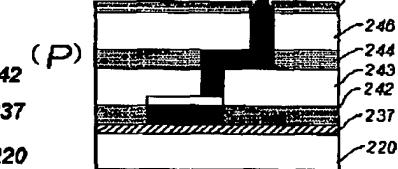
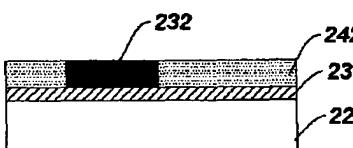
(B)



(C)

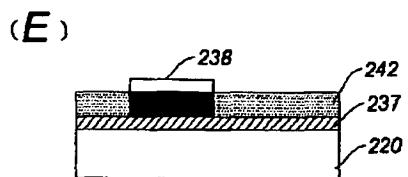


(D)

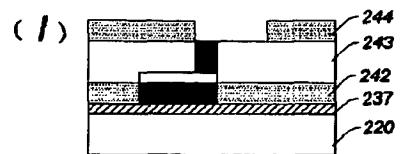


【図10】

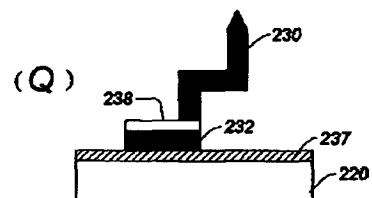
【図8】



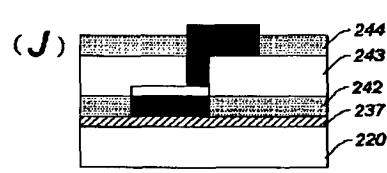
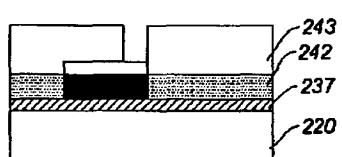
【図9】



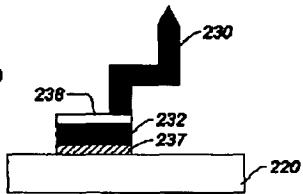
【図11】



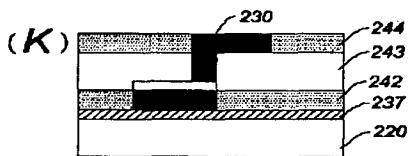
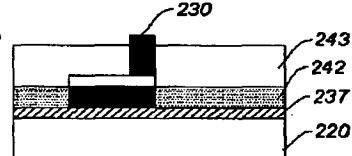
(F)



(R)



(G)



(H)

